

## THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR

Patent number: JP2003037270

Publication date: 2003-02-07

Inventor: YASUDA YUKIYASU; ITOIDA SATOSHI; FUNAKI SHIGEHIRO;  
KOYAMA MANABU; HATASAWA YOSHIKAZU

Applicant: NIPPON ELECTRIC CO; NEC AKITA LTD

Classification:

- international: H01L21/336; H01L27/12; H01L29/786; H01L21/02; H01L27/12;  
H01L29/66; (IPC1-7): H01L29/786; H01L21/316; H01L21/322;  
H01L21/336

- european: H01L21/336D2C; H01L27/12; H01L29/786B2

Application number: JP20020132556 20020508

Priority number(s): JP20020132556 20020508; JP20010146147 20010516

Also published as:



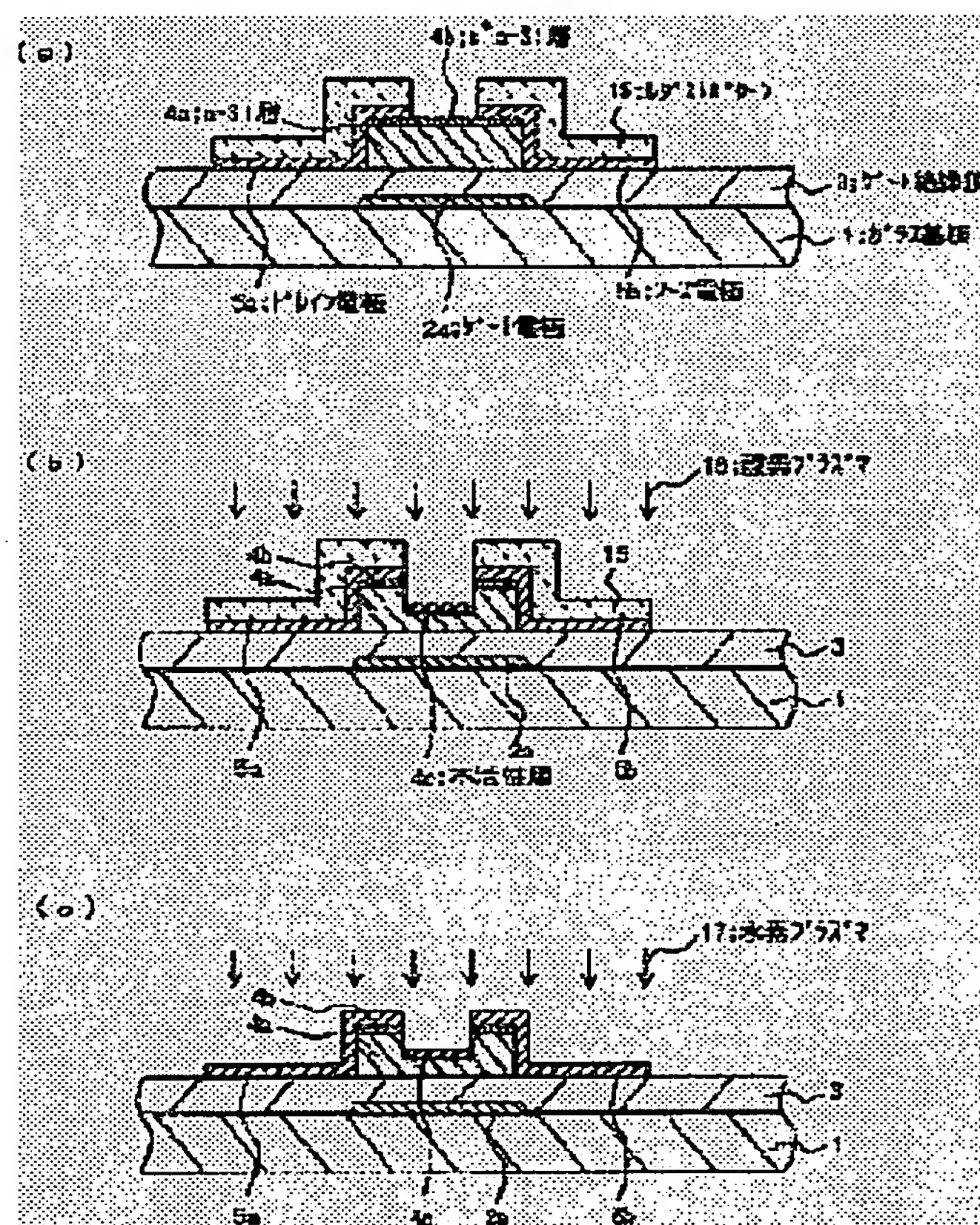
US6759283 (B2)

US2002171084 (A1)

Report a data error here

## Abstract of JP2003037270

**PROBLEM TO BE SOLVED:** To provide the manufacturing method of a thin film transistor, suppressing a back gate effect by the charge-up of an oriented film and a spacer at the upper part of the TFT, and to prevent the voltage-holding defect of a pixel electrode part. **SOLUTION:** After forming semiconductor layers 4a and 4b via a gate insulating film 3 on an insulation substrate 1, the semiconductor layers 4a and 4b are patterned and a channel part is formed. Then, a passivation insulation film 7, covering the semiconductor layers 4a and 4b, is formed. After the formation of the channel part and before the formation of the passivation insulation film 7, a first plasma treatment 16 is executed by using a first gas (gaseous oxygen, for instance) and a second plasma treatment 17 is executed further by using a second gas (gaseous hydrogen, for instance).



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-37270

(P2003-37270A)

(43) 公開日 平成15年2月7日(2003.2.7)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームト\* (参考)

H 0 1 L 29/786

H 0 1 L 21/316

X 5 F 0 5 8

21/316

21/322

Z 5 F 1 1 0

21/322

29/78

6 1 9 A

21/336

6 2 7 E

6 1 8 Z

審査請求 有 請求項の数16 O L (全 18 頁)

(21) 出願番号

特願2002-132556(P2002-132556)

(22) 出願日

平成14年5月8日(2002.5.8)

(31) 優先権主張番号

特願2001-146147(P2001-146147)

(32) 優先日

平成13年5月16日(2001.5.16)

(33) 優先権主張国

日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 392026707

秋田日本電気株式会社

秋田県秋田市御所野下堤3丁目1番1号

(72) 発明者 安田 亨寧

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100096105

弁理士 天野 広

最終頁に続く

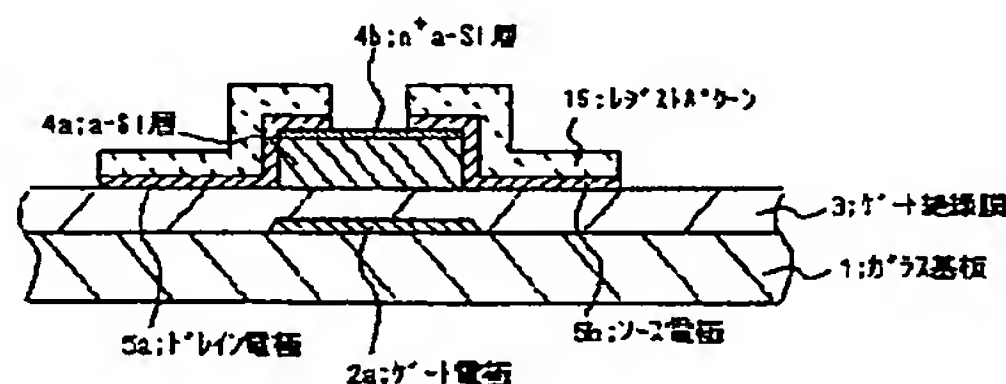
(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【要約】

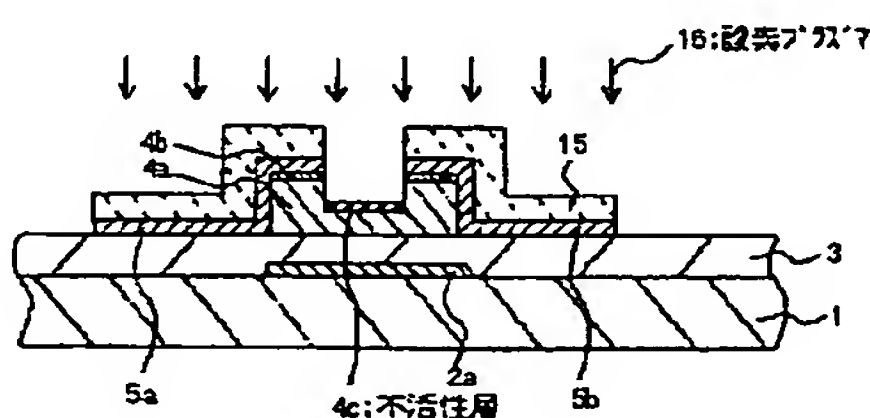
【課題】 T F T 上部のスペーサや配向膜のチャージアップによるバックゲート効果を抑制し、画素電極部の電圧保持不良を防止する薄膜トランジスタの製造方法を提供する。

【解決手段】 絶縁性基板 1 上にゲート絶縁膜 3 を介して半導体層 4 a、4 b を形成した後、半導体層 4 a、4 b をパターニングしてチャネル部を形成する。次いで、半導体層 4 a、4 b を覆うパッシベーション絶縁膜 7 を成膜する。チャネル部の形成後、パッシベーション絶縁膜 7 の成膜前に、第 1 のガス (例えば、酸素ガス) を用いて第 1 のプラズマ処理 1 6 を施し、さらに、第 2 のガス (例えば、水素ガス) を用いて第 2 のプラズマ処理 1 7 を施す。

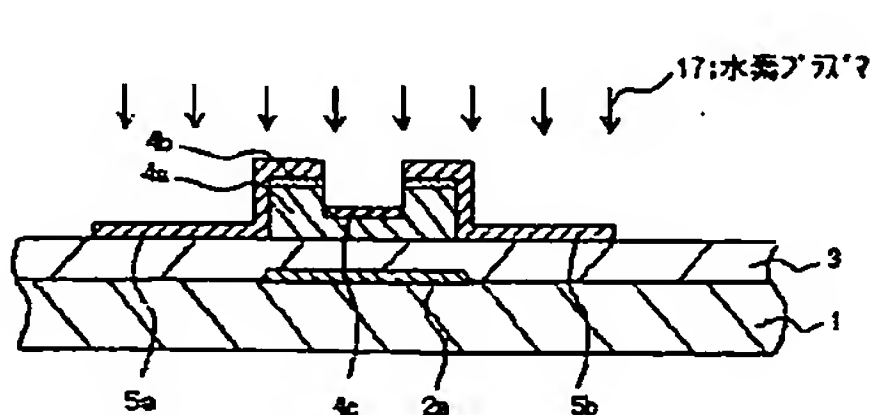
(a)



(b)



(c)



## 【特許請求の範囲】

【請求項1】 絶縁性基板上に少なくとも半導体層を形成する工程を有する薄膜トランジスタの製造方法であって、

前記半導体層の形成後に、第1のガスを用いた第1のプラズマ処理を行う過程と、第2のガスを用いた第2のプラズマ処理を行う過程と、を有することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 絶縁性基板上にゲート電極を形成する第一の工程と、前記絶縁性基板上にゲート絶縁膜を形成する第二の工程と、前記ゲート絶縁膜を介して半導体層を形成する第三の工程と、前記半導体層に接続されるソース／ドレイン電極を形成する第四の工程と、前記半導体層をパターンニングしてチャネル部を形成する第五の工程と、前記半導体層を覆うパッシベーション絶縁膜を成膜する第六の工程と、を有する薄膜トランジスタの製造方法において、

前記第五の工程から前記第六の工程の間に、第1のガスを用いて第1のプラズマ処理を施す工程と、第2のガスを用いて第2のプラズマ処理を施す工程とを含むことを特徴とする薄膜トランジスタの製造方法。

【請求項3】 半導体層を形成する第一の工程と、前記半導体層をパターンニングしてチャネル部を形成する第二の工程と、成膜装置内において、前記チャネル部にチャネル保護膜を形成する第三の工程と、前記半導体層を覆うパッシベーション絶縁膜を成膜する第四の工程と、を有する薄膜トランジスタの製造方法において、

前記第一の工程後かつ前記第二の工程前に、前記成膜装置内に第1のガスを導入して第1のプラズマ処理を施す工程と、前記成膜装置内に第2のガスを導入して第2のプラズマ処理を施す工程と、を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項4】 前記半導体層を形成する工程は、アモルファスシリコン又はポリシリコンの何れかから前記半導体層を形成する工程であることを特徴とする請求項1乃至3の何れか一項に記載の薄膜トランジスタの製造方法。

【請求項5】 前記第1及び第2のガスが、酸素、窒素、炭素、硼素、水素又はヘリウムの内いずれかを含むことを特徴とする請求項1乃至4の何れか一項に記載の薄膜トランジスタの製造方法。

【請求項6】 前記第1のガスが酸素からなり、前記第2のガスが水素及び窒素からなることを特徴とする請求項5に記載の薄膜トランジスタの製造方法。

【請求項7】 前記第2のプラズマ処理の前に、所定の温度で前記絶縁性基板を加熱する工程を有することを特徴とする請求項1乃至6の何れか一項に記載の薄膜トランジスタの製造方法。

【請求項8】 前記所定の温度は摂氏250度乃至摂氏350度の範囲内の温度であることを特徴とする請求項

7に記載の薄膜トランジスタの製造方法。

【請求項9】 前記所定の温度は摂氏280度乃至摂氏320度の範囲内の温度であることを特徴とする請求項7に記載の薄膜トランジスタの製造方法。

【請求項10】 前記所定の温度で前記絶縁性基板を加熱する工程は少なくとも10分以上行われることを特徴とする請求項7乃至9の何れか一項に記載の薄膜トランジスタの製造方法。

【請求項11】 前記パッシベーション膜の成膜を、成膜パワー密度が0.05乃至1.0W/cm<sup>2</sup>の条件の下で行うことを特徴とする請求項2乃至10の何れか一項に記載の薄膜トランジスタの製造方法。

【請求項12】 前記パッシベーション膜の成膜を、成膜パワー密度が0.05乃至0.2W/cm<sup>2</sup>の条件の下で行うことを特徴とする請求項2乃至10の何れか一項に記載の薄膜トランジスタの製造方法。

【請求項13】 前記第2のガスは、前記第1のガスの構成元素のうちの少なくとも一つの元素の原子番号よりも小さい原子番号の元素を含むことを特徴とする請求項1乃至12の何れか一項に記載の薄膜トランジスタの製造方法。

【請求項14】 表面近傍において第1のガスの構成元素の濃度が高く、深部において前記第1のガスの構成元素のうちの少なくとも一つの元素の原子番号よりも小さい原子番号の元素を含む第2のガスの構成元素の濃度が高い半導体層を有することを特徴とする薄膜トランジスタ。

【請求項15】 前記第1のガスの構成元素が、第1のプラズマ処理により、前記半導体層の表面近傍に導入され、前記第1のガスの構成元素のうちの少なくとも一つの元素の原子番号よりも小さい原子番号の元素を含む第2のガスの構成元素が、第2のプラズマ処理により、前記半導体層の深部に導入されることを特徴とする請求項11記載の薄膜トランジスタ。

【請求項16】 前記第1のガスが酸素、窒素、炭素及び硼素の何れか一を含み、前記第2のガスは少なくとも水素を含むことを特徴とする請求項14又は15に記載の薄膜トランジスタ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ及びその製造方法に関し、特に、逆スタガ構造の薄膜トランジスタ(TFT:Thin Film Transistor)におけるオフリーク電流の低減が可能な薄膜トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】近年、液晶ディスプレイのスイッチング素子としてTFTを用いるアクティブマトリクス型液晶表示装置の開発が進められている。このアクティブマトリクス型液晶表示装置は、ゲート配線、ドレイン配線、



TFT及び画素電極等が形成されたアクティブマトリクス基板と、カラーフィルタ、ブラックマトリクス等が形成された対向基板と、これら二つの基板の間に挟持された液晶とを備え、アクティブマトリクス基板と対向基板の各々に設けた電極間又はアクティブマトリクス基板内に設けた複数の電極間に印加した電圧に応じて、液晶分子の配向方向を回転又は変化させ、光の透過量を各々の画素で制御することにより、所望の画像を表示するものである。

【0003】また、TFTとしては、アクティブマトリクス基板上に半導体層を形成する場合、ゲート電極を半導体層の上側に、ソース／ドレイン電極を下側に配置した順スタガ構造と、ゲート電極が下側にあって、ソース／ドレイン電極が半導体層を介して上側に配置される逆スタガ構造とが知られており、従来、逆スタガ構造が広く採用されている。

【0004】ここで、従来の逆スタガ構造のアクティブマトリクス型液晶表示装置について、図9を参照して簡単に説明する。

【0005】図9に示すように、従来のアクティブマトリクス基板においては、ガラス基板1上にゲート電極2aが形成され、ゲート電極2aを覆ってガラス基板1上にゲート絶縁膜3が形成されている。ゲート絶縁膜3上には、TFTの半導体層となる島状のアモルファスシリコン層（以下、「a-Si層」と記す）4a及びn型不純物を比較的多く含むn+a-Si層4bが設けられている。n+a-Si層4b及びa-Si層4aの一部は除去されてチャンネル部4cが形成され、チャンネル部4cの両側のn+a-Si層4b上にはドレイン電極5a及びソース電極5bが形成されている。

【0006】さらに、ドレイン電極5a及びソース電極5bを覆ってゲート絶縁膜3上には、アクティブマトリクス基板の表面を平坦化するためのパッシベーション絶縁膜7が設けられている。更に、ソース電極5b上のパッシベーション絶縁膜7が部分的に取り除かれてコンタクト部6が形成されており、各画素及びコンタクト部6にはITO（Indium Tin Oxide）その他の透明導電膜からなる画素電極8が形成されている。画素電極8及びパッシベーション絶縁膜7上に配向膜9が形成されている。

【0007】一方、図示しないが、対向基板側には、ガラス基板上の各画素領域にRGB各色のカラーフィルタが形成され、その上にオーバーコート層を介してITOからなる透明電極が形成されており、アクティブマトリクス基板及び対向基板の相互に対向する面には配向膜9が塗布されている。この配向膜9は所定の方向に配向処理が施されている。

【0008】アクティブマトリクス基板及び対向基板はそれらの間にスペーサを介在させて貼り合わされ、両基板の隙間に液晶を注入し、封止することにより、アクテ

ィブマトリクス型液晶表示装置が形成されている。

【0009】

【発明が解決しようとする課題】一般的に、アクティブマトリクス型液晶表示装置において、良好なスイッチング特性を得るためには、ゲートをオンにしたときにソース／ドレイン間に流れる電流（オン電流）が大きく、ゲートをオフにしたときの電流（オフ電流）が小さいことが重要である。

【0010】しかしながら、上記構造のアクティブマトリクス型液晶表示装置には、TFT上部のスペーサや配向膜9のチャージアップにより、バックチャネル部にオフリーク電流が発生し、このオフリーク電流によってTFTが誤動作を起こし、表示不良となってしまうという問題があった。

【0011】そこで、このバックチャネル部のオフリーク電流を抑制するために、バックチャネル部を構成するa-Si層の表面に不活性層又は変質層を形成したクティブマトリクス型液晶表示装置が、特許第2621619号公報及び特公平6-9246号公報に記載されている。以下、これらのアクティブマトリクス型液晶表示装置について、図10及び図11を参照して説明する。

【0012】図10は、第1の従来例（特許第2621619号公報）に係るアクティブマトリクス基板の製造方法の一部を模式的に示す工程断面図である。

【0013】第1の従来例に係るアクティブマトリクス基板の製造方法について概説すると、まず、図10

(a)に示すように、Crその他の金属膜を透明絶縁性基板19上に形成し、フォトリソグラフィ技術を用いてその金属膜をパターニングしてゲート電極2aを形成する。

【0014】次に、図10(b)に示すように、ゲート電極2aを覆って、透明絶縁性基板19上にゲート絶縁膜3を形成し、さらに、ゲート絶縁膜3上に半導体層20を成膜する。

【0015】次いで、図10(c)に示すように、半導体層20の表面を水素プラズマ21中に曝して半導体層20表面を不活性化する。

【0016】その後、図示しないが、保護膜を成膜し、チャンネル部の両側に設けたコンタクトホールを介して半導体層と接続されるソース／ドレイン電極を形成し、その上層に第2保護膜を形成する。

【0017】このように、第1の従来例においては、TFTの保護膜形成前に、半導体層20を水素プラズマ21に曝し、半導体層20と保護膜との間の界面の界面準位を増加させることにより、薄膜トランジスタのバックチャネルを不活性化し、薄膜トランジスタのオフ動作時にバックチャネルに流れるリーク電流を減少させている。

【0018】図11は、第2の従来例（特公平6-9246号公報）に係るアクティブマトリクス基板の構造を

示す断面図である。

【0019】このアクティブマトリクス基板においては、ガラス基板1上にNiCrからなるゲート電極2aが設けられ、ガラス基板1の上にシリコン窒化膜からなるゲート絶縁膜3とa-Si層4aとn+a-Si層4bとが順次形成されている。バックチャネル部は、n+a-Si層4b及びa-Si層4aの一部をドライエッチングにより除去することにより形成されている。a-Si層4aの表面には、ドライエッチングと同一装置内で窒素、酸素、炭素、硼素の少なくとも何れか一つが存在するガス雰囲気のパラズマに曝すことにより、酸素、炭素などを取り込んだ表面変質層22が形成されている。

【0020】このように、第2の従来例においては、バックチャネル部のドライエッチング後に、同一装置内で窒素、酸素、炭素、硼素の少なくとも一つが存在するガス雰囲気のパラズマに試料を曝して、バックチャネル部のa-Si層4aの表面に安定な表面変質層22を設けることにより、TFTのオフ電流を低減させている。

【0021】上述した従来のアクティブマトリクス基板の製造方法によれば、バックチャネル部を不活性化させることにより、ある程度オフリーク電流を低減することができる。しかしながら、第1の従来例では、半導体層20の成膜後に試料が大気に曝されるため、半導体層20の表面が汚染されてしまい、バックチャネル部のポテンシャル変化をもたらす要因となり得るという問題がある。

【0022】また、第2の従来例においては、ドライエッチング装置内において酸素パラズマ処理を施すため上記汚染の問題は回避できるが、上記いずれの構成のアクティブマトリクス基板の場合も、パラズマ処理による不活性化が十分でなく、オフリーク電流を有効に抑制することができず、表示欠陥などの不良に対して十分なレベルと言えるものではなかった。

【0023】本発明は、従来のアクティブマトリクス基板の問題点に鑑みてなされたものであって、その主たる目的は、TFT上部のスペーサや配向膜のチャージアップによるバックゲート効果を抑制し、画素電極部の電圧保持不良を防止することができる薄膜トランジスタ及びその製造方法を提供することにある。

【0024】

【問題を解決するための手段】上記目的を達成するため、本発明は、絶縁性基板上に少なくとも半導体層を形成する工程を有する薄膜トランジスタの製造方法であって、前記半導体層の形成後に、第1のガスを用いた第1のパラズマ処理を行う過程と、第2のガスを用いた第2のパラズマ処理を行う過程と、を有することを特徴とする薄膜トランジスタの製造方法を提供する。

【0025】また、本発明は、絶縁性基板上にゲート電極を形成する第一の工程と、前記絶縁性基板上にゲート

絶縁膜を形成する第二の工程と、前記ゲート絶縁膜を介して半導体層を形成する第三の工程と、前記半導体層に接続されるソース／ドレイン電極を形成する第四の工程と、前記半導体層をパターンニングしてチャネル部を形成する第五の工程と、前記半導体層を覆うパッシベーション絶縁膜を成膜する第六の工程と、を有する薄膜トランジスタの製造方法において、前記第五の工程から前記第六の工程の間に、第1のガスを用いて第1のパラズマ処理を施す工程と、第2のガスを用いて第2のパラズマ処理を施す工程とを含むことを特徴とする薄膜トランジスタの製造方法を提供する。

【0026】さらに、本発明は、半導体層を形成する第一の工程と、前記半導体層をパターンニングしてチャネル部を形成する第二の工程と、成膜装置内において、前記チャネル部にチャネル保護膜を形成する第三の工程と、前記半導体層を覆うパッシベーション絶縁膜を成膜する第四の工程と、を有する薄膜トランジスタの製造方法において、前記第一の工程後かつ前記第二の工程前に、前記成膜装置内に第1のガスを導入して第1のパラズマ処理を施す工程と、前記成膜装置内に第2のガスを導入して第2のパラズマ処理を施す工程と、を含むことを特徴とする薄膜トランジスタの製造方法を提供する。

【0027】前記半導体層を形成する工程は、アモルファスシリコン又はポリシリコンの何れかから前記半導体層を形成する工程であることが好ましい。

【0028】前記第1及び第2のガスは、酸素、窒素、炭素、硼素、水素又はヘリウムの内いずれか一を含むことが好ましい。

【0029】例えば、前記第1のガスが酸素からなり、前記第2のガスが水素及び窒素からなるものとすることができる。

【0030】さらに、本発明に係る薄膜トランジスタの製造方法は、前記第2のパラズマ処理の前に、所定の温度で前記絶縁性基板を加熱する工程を有することが好ましい。

【0031】前記所定の温度は摂氏250度乃至摂氏350度の範囲内の温度であることが好ましく、摂氏280度乃至摂氏320度の範囲内の温度であることがより好ましい。

【0032】また、前記所定の温度で前記絶縁性基板を加熱する工程は少なくとも10分以上行われることが好ましい。

【0033】前記パッシベーション膜の成膜条件としては、成膜パワー密度が0.05乃至1.0W/cm<sup>2</sup>であることが好ましく、成膜パワー密度が0.05乃至0.2W/cm<sup>2</sup>であることがより好ましい。

【0034】前記第2のガスは、前記第1のガスの構成元素のうちの少なくとも一つの元素の原子番号よりも小さい原子番号の元素を含むことが好ましい。

【0035】なお、本発明に係る薄膜トランジスタの製

造方法においては、第1のガスを用いた第1のプラズマ処理を行う過程と、第2のガスを用いた第2のプラズマ処理を行う過程との順番は問わない。第1のプラズマ処理を先に実施してもよく、あるいは、第2のプラズマ処理を先に実施してもよい。

【0036】さらに、本発明は、表面近傍において第1のガスの構成元素の濃度が高く、深部において前記第1のガスの構成元素のうちの少なくとも1つの元素の原子番号よりも小さい原子番号の元素を含む第2のガスの構成元素の濃度が高い半導体層を有することを特徴とする薄膜トランジスタを提供する。

【0037】本薄膜トランジスタにおいては、前記第1のガスの構成元素が、第1のプラズマ処理により、前記半導体層の表面近傍に導入され、前記第1のガスの構成元素のうちの少なくとも1つの元素の原子番号よりも小さい原子番号の元素を含む第2のガスの構成元素が、第2のプラズマ処理により、前記半導体層の深部に導入されることが好ましい。

【0038】前記第1のガスとしては、酸素、窒素、炭素及び硼素の何れか一つを選択することができ、前記第2のガスとしては、少なくとも水素を含むガスを選択することができる。

【0039】また、本発明に係る薄膜トランジスタは、ドレイン電圧 $V_d = 10V$ 、フロントゲート電圧 $V_{fg} = -10V$ 、バックゲート電圧 $V_{bg} = 10V$ の条件下において、ドレイン電流 $I_d$ が $I_d \leq 1 \times 10^{-10}A$ となるバックゲート特性を有することが好ましい。深部に導入される構成とすることができる。

【0040】本発明によれば、安定した不活性層を形成し、また、パッシベーション膜成膜時のダメージや膜の応力を減少させることにより、バックチャネル部のオフリーク電流を確実に抑制することができる。

【0041】

【発明の実施の形態】  
【第1の実施形態】本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置及びその製造方法について、図1乃至図5を参照して説明する。図1は、第1の実施形態に係るアクティブマトリクス型液晶表示装置の構造を示す断面図であり、図2のI-I線における断面図である。図2は、第1の実施形態に係るアクティブマトリクス基板の構造を示す平面図である。図3及び図4は、第1の実施形態に係るアクティブマトリクス型液晶表示装置の製造方法の一部を模式的に示す工程断面図である。また、図5は、本実施形態に係るアクティブマトリクス型液晶表示装置の効果を説明するためのグラフである。

【0042】以下に述べる本実施形態に係るアクティブマトリクス型液晶表示装置は、逆スタガ構造のチャネルエッチ型アクティブマトリクス型液晶表示装置である。

【0043】まず、図1及び図2を参照して、本実施形態に係るチャネルエッチ型アクティブマトリクス型液晶

表示装置の構造について説明する。

【0044】本実施形態に係るアクティブマトリクス型液晶表示装置は、TFTが形成されているTFT側基板30と、TFT側基板30に対向する対向基板40と、TFT側基板30と対向基板40との間に挟まれた液晶層50と、から構成されている。

【0045】図1に示すように、TFT側基板30は、ガラス基板1と、ガラス基板1の上に形成されたゲート電極2aと、ゲート電極2aを覆って、ガラス基板1上に形成されたゲート絶縁膜3と、ゲート絶縁膜3上に形成されたa-Si層4aと、a-Si層4a上に形成されたn+a-Si層4bと、ゲート電極2aの上方において、a-Si層4aのチャネル部に形成された不活性層4cと、チャネル部の両側において、n+a-Si層4bを覆ってゲート絶縁膜3上に形成されたドレイン電極5a及びソース電極5bと、不活性層4c、ドレイン電極5a及びソース電極5bを覆ってゲート絶縁膜3上に形成されたパッシベーション絶縁膜7と、パッシベーション絶縁膜7上に形成され、パッシベーション絶縁膜7を部分的に除去して形成されたコンタクト部6を介してソース電極5bに電気的に接続している画素電極8と、パッシベーション絶縁膜7及び画素電極8を覆って形成されている配向膜9と、を備えている。

【0046】さらに、図2に示すように、TFT側基板30上には、ゲート配線2とドレイン配線5とが互いに直交する方向に形成され、ゲート配線2及びドレイン配線5の交差部近傍にはスイッチング素子として薄膜トランジスタ(TFT)4が配設されている。各TFT4のバックチャネル部には、図1に示したように、不活性層4cが設けられている。

【0047】また、TFT側基板30に対向する対向基板40は、ガラス基板11と、ガラス基板11上に形成されたRGB各色のカラー表示を行うためのカラーフィルター12と、カラーフィルター12上に形成されたオーバーコート層13と、オーバーコート層13上に形成されたITOからなる透明電極14と、透明電極14上に形成された配向膜9と、から構成されている。

【0048】TFT側基板30と対向基板40との間には、液晶層50の厚みを保持するためのスペーサ10が配置されている。また、液晶層50の周囲には、液晶分子を外部に漏らさないためのシール(図示せず)が形成されている。

【0049】次に、上記構造のTFT側基板30の製造方法について、図3及び図4を参照して説明する。

【0050】まず、図3(a)に示すように、一般的なプロセスを用いて、以下のようにして、TFT4を形成する。

【0051】先ず、ガラス基板1上に、例えば、スパッタ法を用いてクロム(Cr)を200nm程度の膜厚で堆積した後、公知のリソグラフィ技術及びエッチング技



術を用いてクロム膜をパターンニングし、ゲート電極2aを形成する。

【0052】その後、例えば、CVD法を用いてシリコン窒化膜からなるゲート絶縁膜3を500nm程度の膜厚で、さらに、TFT4の半導体層となるa-Si層4aとn+a-Si層4bとをそれぞれ300nm、50nm程度の膜厚で順次堆積する。

【0053】その後、a-Si層4a及びn+a-Si層4bをパターンニングして島状のTFT領域を形成した後、例えば、スパッタ法を用いてクロム(Cr)を150nm程度の膜厚で堆積する。次いで、このクロム膜上にレジストパターン15を形成し、試料をドライエッチング装置に投入し、レジストパターン15をマスクとしてクロム膜をパターンニングし、ドレイン配線5、ドレイン電極5a及びソース電極5bを形成する。

【0054】次に、図3(b)に示すように、ドレイン電極5aとソース電極5bとで挟まれたチャネル領域が露出するようにn+a-Si層4b及びa-Si層4aの一部を除去するチャネルエッチングを行う。このチャネルエッチングは、例えば、エッチングガス流量500sccm、ガス圧力20Pa、RFパワー600W程度の条件で行うことができ、a-Si層4aの表面から100nm程度の深さまで掘り込んでエッチングを終了する。

【0055】ここで、従来の一般的なプロセスでは試料をドライエッチング装置から取り出してパッシベーション絶縁膜7を成膜する装置に投入する。

【0056】これに対して、本実施形態においては、表面を汚染することなく、a-Si層4aに不活性層4cを形成するために、ドライエッチング装置内に酸素ガスを導入し、第1のプラズマ処理としての酸素プラズマ処理16を行う。

【0057】この酸素プラズマ処理の条件としては、例えば、酸素ガス流量800sccm、ガス圧力140Pa、パワー密度0.5W/cm<sup>2</sup>、処理時間20秒程度とすると良好な不活性層4cを形成することができる。

【0058】なお、この酸素プラズマ処理により、良好な不活性層4cを形成することができる理由としては、a-Si層4aの表面に存在するシリコン(Si)の未結合手が酸素で終端されて不活性化されると考えられる。あるいは、酸素プラズマ処理がレジスト塗布状態で行われるため、レジストを構成する元素が酸素プラズマ16によりエッチングされ、a-Si層4aの表面に取り込まれて変質層が形成される可能性も考えられる。

【0059】その後、従来の一般的なプロセスによれば、レジストパターン15を除去して、基板全面にパッシベーション絶縁膜7を堆積する。

【0060】これに対して、本実施形態においては、図3(c)に示すように、a-Si層4aの表面の不活性化をより確実にを行うために、すなわち、より確実に不活

性層4cを形成するために、パッシベーション絶縁膜7の成膜の前処理として基板加熱処理及び第2のプラズマ処理としての水素プラズマ処理17を施す。

【0061】具体的には、試料をパッシベーション絶縁膜7を形成するためのCVD装置に投入し、CVD装置内で、例えば、摂氏250乃至350度、より望ましくは、摂氏280乃至320度程度の温度で10分程度基板加熱処理を施した後、水素ガス流量1000sccm、ガス圧力70Pa、パワー密度1.0W/cm<sup>2</sup>、基板温度摂氏300度程度の条件で10秒程度水素プラズマ処理を行う。

【0062】なお、この基板加熱処理は、a-Si層4aの表層に取り込まれた水素を動きやすくして水素による終端を促進するために行うものであり、この基板加熱処理の温度が高すぎると、a-Si層4a中のダングリングボンドに終端した水素が逆に脱離してしまう結果となる。また、基板加熱処理の温度が低すぎると、a-Si層4a中のダングリングボンドの水素終端を促進することができない。このため、基板加熱処理の温度は適度な温度範囲に設定する必要がある。本願発明者の実験によれば、その温度範囲としては摂氏250乃至350度が好ましく、摂氏280乃至320度程度がより好ましいことが確認されている。

【0063】また、ドライエッチング装置内で行った酸素プラズマ処理(第1のプラズマ処理)においては、酸素原子が比較的大きいことから、酸素原子によって不活性化(終端)される領域はa-Si層4aのほぼ表層に限られると考えられるが、水素原子は酸素原子よりも小さいために、更に、a-Si層4aの内部にまで浸透することができ、a-Si層4aの表層のみならず、それよりも深い領域、すなわち、酸素原子が入り込めなかった領域におけるSiも水素で終端して不活性化することができるものと考えられる。このように、酸素プラズマ処理(第1のプラズマ処理)と水素プラズマ処理(第2のプラズマ処理)とを組み合わせることによって、a-Si層4aの表層の不活性化を確実に行うこと、すなわち、a-Si層4aの表層に良好な不活性層4cを形成することができると考えられる。

【0064】続いて、図4(a)に示すように、CVD装置内に反応性ガスを導入し、パッシベーション絶縁膜7を400nm程度の膜厚で成膜する。本実施形態においては、このパッシベーション絶縁膜7の形成工程において、パッシベーション絶縁膜7の成膜のパワーを小さくすることによって、バックチャネル部のオフリーク電流を低減することとしている。

【0065】その理由は以下の通りである。

【0066】a-Si層4aの表面に良好な不活性層4cを設けても、その上部に形成するパッシベーション絶縁膜7の成膜パワーが大きいと、パッシベーション絶縁膜7の成膜時にa-Si層4aにダメージが与えられた

り、パッシベーション絶縁膜7に残留する応力が大きくなり、ストレスによりバックチャネル部のリーク電流が大きくなってしまう。そこで、本実施形態においては、例えば、反応ガス圧力200Pa、パワー密度0.1W/cm<sup>2</sup>、基板温度300℃程度の条件でパッシベーション絶縁膜7の成膜を行うことにより、通常の条件（ガス圧力200Pa、パワー密度0.5W/cm<sup>2</sup>、基板温度300℃程度）と比べて、パワー密度を1/5程度に下げることにより、応力の小さい膜を形成し、界面準位を改善している。

【0067】その後、図4(b)に示すように、ソース電極5b上のパッシベーション絶縁膜7を部分的に除去してコンタクト部6を形成した後、ITOその他の透明導電性材料からなる画素電極8を40nm程度の膜厚で各画素領域及びコンタクト部6に形成する。

【0068】一方、TF T基板30に対向する対向基板40においては、ガラス基板11上にRGB各色のカラーフィルタ12を各画素に対応させて形成し、その上にオーバーコート層13及びITOからなる透明電極14を形成し、両基板の対向面側に配向膜9を塗布して所定の方向に配向処理を施す。

【0069】次いで、両基板をスペーサ10を挟んで貼り合わせ、両基板のギャップに液晶を注入して本実施形態に係るアクティブマトリクス型液晶表示装置が完成する。

【0070】このように、本実施形態に係るアクティブマトリクス型液晶表示装置及びその製造方法によれば、TF T4のバックチャネル部のa-Si層4aの表面に、チャネルドライエッチング処理に引き続き行われる酸素プラズマ処理（第1のプラズマ処理）と、CVD装置におけるパッシベーション絶縁膜7の成膜の前処理として行われる基板加熱処理及び水素プラズマ処理（第2のプラズマ処理）と、低パワーによるパッシベーション絶縁膜7の成膜とにより、従来例に比べて安定した不活性層4cを形成することができ、バックチャネル部のオフリーク電流を確実に抑制することができる。

【0071】上記の本実施形態に係るアクティブマトリクス型液晶表示装置及びその製造方法による効果について図5を参照して説明する。

【0072】図5(a)は、ドレイン電圧(V<sub>d</sub>)を10V、フロントゲート電圧(V<sub>fg</sub>)を-10Vに設定した条件下において、水素プラズマ処理だけを施した従来構造のTF Tと本実施形態におけるTF T（すなわち、処理酸素プラズマ処理と基板加熱処理と水素プラズマ処理と低パワー成膜とを施したTF T）の各々について、スペーサ10その他の原因によるチャージアップを想定してバックゲート電圧V<sub>bg</sub>を-20V乃至20Vの範囲で印加したときのソース・ドレイン間に流れる電流I<sub>d</sub>（ゲート幅W、ゲート長LとしたときにW/L=1に換算した値）をプロットしたグラフである。

【0073】図5(a)から明らかであるように、水素プラズマ処理のみを施した従来構造のTF Tにおいては、バックゲート電圧V<sub>bg</sub>がプラスとなっている領域（図の右側半分の領域）において、バックゲート電圧V<sub>bg</sub>の上昇に伴ってリーク電流I<sub>d</sub>が激増している。これに対して、本実施形態におけるTF Tにおいては、バックゲート電圧V<sub>bg</sub>がプラスとなっている領域において、リーク電流の増加が著しく小さい。このことは、本実施形態の構造により、バックチャネル部のオフリーク電流を有効に抑制できることが可能であることを示している。

【0074】また、図5(b)は、ドレイン電圧(V<sub>d</sub>)を10V、フロントゲート電圧(V<sub>fg</sub>)を-10V、バックゲート電圧(V<sub>bg</sub>)を10Vに設定した条件下において、ソース・ドレイン電流I<sub>d</sub>とパッシベーション絶縁膜7の成膜パワー密度との相関を示すグラフである。

【0075】図5(b)から明らかであるように、パッシベーション絶縁膜7の成膜パワー密度が大きくなると、a-Si層4aへのダメージやパッシベーション絶縁膜7の残留応力によりリーク電流が大きくなり、また、成膜パワー密度が小さすぎるとパッシベーション絶縁膜7の保護膜としての機能が低下する。従って、リーク電流の増加を防止し、パッシベーション絶縁膜7の保護膜としての機能を低下させないような成膜パワー密度の好ましい範囲が存在する。その範囲は、本願発明者の知見によれば、0.05乃至1.0W/cm<sup>2</sup>であり、より望ましくは、0.05乃至0.2W/cm<sup>2</sup>程度であり、この範囲において最も顕著な効果が得られることが確認されている。

【0076】なお、本実施形態においては、第1のプラズマ処理においては酸素ガスを用い、第2のプラズマ処理においては水素ガスを用いた例について記載したが、使用するガスの種類はそれらに限定されるものではない。例えば、第1のプラズマ処理に用いるガスと第2のプラズマ処理に用いるガスを、ガス種として酸素ガス及び水素ガスの他に、窒素、炭素、硼素、ヘリウム等を用いて組み合わせることもできる。

【0077】この場合、第2のプラズマ処理に用いられる第2のガスは、第1のプラズマ処理に用いられる第1のガスの構成元素のうちの少なくとも一つの元素の原子番号よりも小さい原子番号の元素を含むものであることが望ましい。従って、上述の実施形態において用いた第1のガスとしての酸素ガス及び第2のガスとしての水素ガスの組み合わせの他に、例えば、第1のガスとしての酸素ガス及び第2のガスとしてのヘリウムガスの組み合わせを選択することも可能である。

【0078】また、本実施形態においては、酸素プラズマ処理と基板加熱処理と水素プラズマ処理と低パワーCVD成膜の4つの処理を施す例について記載したが、水



素プラズマ処理及び低パワーCVD成膜時にも基板を加熱しているため、基板加熱処理を特別に設けなくても、バックチャネル部のオフリーク電流はある程度低減できると考えられる。また、酸素プラズマ処理と水素プラズマ処理（又は、酸素プラズマ処理と基板加熱処理と水素プラズマ処理）を組み合わせるだけでも、不活性層4cをa-Si層4aの表層のみならず深い領域、すなわち、酸素原子が入り込めなかった領域まで安定して形成することができるため、パッシベーション絶縁膜7の成膜を通常の条件で行ってもオフリーク電流の低減効果を期待することができる。

【0079】従って、上述の4つの処理は次のような組み合わせの下に実施することができる。

(1) 第1のプラズマ処理（例えば、酸素プラズマ処理）と第2のプラズマ処理（例えば、水素プラズマ処理）

(2) 第1のプラズマ処理と基板加熱処理と第2のプラズマ処理

(3) 第1のプラズマ処理と第2のプラズマ処理と低パワーCVD成膜

(4) 酸素プラズマ処理と基板加熱処理と水素プラズマ処理と低パワーCVD成膜

さらに、本実施形態においては、ドライエッチング装置内に酸素ガスを導入して酸素プラズマ処理を行うことにより、a-Si層4aの表層に存在するSiの未結合手を酸素で終端し、バックチャネル部を不活性化しているが、チャネルドライエッチング処理に引き続き、UV/オゾン洗浄処理を施すことによってオフリーク電流の低減効果のある程度期待することができる。

【0080】また、UV/オゾン洗浄処理と第1のプラズマ処理及び第2のプラズマ処理との組み合わせによって、効果的にオフリーク電流を低減することができることが確認されている。

【第2の実施形態】次に、本発明の第2の実施形態に係るアクティブマトリクス型液晶表示装置及びその製造方法について、図6乃至図8を参照して説明する。図6は、第2の実施形態に係るアクティブマトリクス型液晶表示装置の構造を示す断面図である。図7及び図8は、本実施形態に係るアクティブマトリクス型液晶表示装置の製造方法の一部を模式的に示す工程断面図である。

【0081】以下に述べる本実施形態に係るアクティブマトリクス型液晶表示装置は、逆スタガ構造のチャネル保護型アクティブマトリクス型液晶表示装置である。

【0082】まず、図6を参照して、本実施形態に係るチャネル保護型アクティブマトリクス型液晶表示装置の構造について説明する。

【0083】本実施形態に係るアクティブマトリクス型液晶表示装置は、TFTが形成されているTFT側基板31と、TFT側基板31に対向する対向基板40と、TFT側基板31と対向基板40との間に挟まれた液晶

層50と、から構成されている。

【0084】図6に示すように、TFT側基板30は、ガラス基板1と、ガラス基板1の上に形成されたゲート電極2aと、ゲート電極2aを覆って、ガラス基板1上に形成されたゲート絶縁膜3と、ゲート絶縁膜3上に形成されたa-Si層4aと、ゲート電極2aの上方において、a-Si層4a上に形成された不活性層4cと、不活性層4c上に形成されたチャネル保護層18と、不活性層4c及びチャネル保護層18を覆ってa-Si層4a上に形成されたn+a-Si層4bと、チャネル部の両側において、n+a-Si層4bを覆ってゲート絶縁膜3上に形成されたドレイン電極5a及びソース電極5bと、チャネル保護層18、ドレイン電極5a及びソース電極5bを覆ってゲート絶縁膜3上に形成されたパッシベーション絶縁膜7と、パッシベーション絶縁膜7上に形成され、パッシベーション絶縁膜7を部分的に除去して形成されたコンタクト部6を介してソース電極5bに電気的に接続している画素電極8と、パッシベーション絶縁膜7及び画素電極8を覆って形成されている配向膜9と、を備えている。

【0085】本実施形態における対向基板40は第1の実施形態における対向基板40と同一の構造を有している。

【0086】また、第1の実施形態と同様に、TFT側基板31と対向基板40の間には、液晶層50の厚みを保持するためのスペーサ10が配置されている。また、液晶層50の周囲には、液晶分子を外部に漏らさないためのシール（図示せず）が形成されている。

【0087】次に、上記構造のTFT側基板31の製造方法について、図7及び図8を参照して説明する。

【0088】まず、図7(a)に示すように、ガラス基板1上に、例えば、スパッタ法を用いて、クロム膜を200nm程度の膜厚で堆積し、このクロム膜をパターンニングすることにより、ゲート電極2aを形成する。

【0089】その後、例えば、CVD法を用いてシリコン窒化膜からなるゲート絶縁膜3を500nm程度の膜厚で、TFT4の半導体層となるa-Si層4aを300nm程度の膜厚で順次堆積する。その後、a-Si層4aをパターンニングして島状のTFT領域を形成する。

【0090】一般的なチャネル保護型液晶表示装置の製造方法の場合、次に、a-Si層4aのチャネル部上にチャネル保護膜18を形成する。

【0091】本実施形態においては、バックチャネル部のオフリーク電流を低減するために、チャネル保護膜18の成膜の前処理として以下の処理を施す。

【0092】まず、図7(b)に示すように、試料をチャネル保護膜18を成膜するためのCVD装置に投入し、例えば、酸素ガス流量800sccm、ガス圧力140Pa、パワー密度0.5W/cm<sup>2</sup>の条件下におい

て、20秒程度酸素プラズマ処理（第1のプラズマ処理）を施し、a-Si層4aの表面に不活性層4cを形成する。なお、この酸素プラズマ処理は、a-Si層4aの表面のSiの未結合手を酸素で終端することにより、不活性化を図るものと考えられる。

【0093】次に、図7(c)に示すように、a-Si層4aの表面の不活性化をより確実にを行うために、更に、基板加熱処理及び水素プラズマ処理（第2のプラズマ処理）を施す。

【0094】具体的には、CVD装置内において、例えば、基板温度 $300 \pm 20^\circ\text{C}$ で10分程度加熱処理を施した後、水素ガス流量 $1000 \text{ sccm}$ 、圧力 $70 \text{ Pa}$ 、パワー密度 $1.0 \text{ W/cm}^2$ 、基板温度 $300^\circ\text{C}$ の条件下において10秒程度の水素プラズマ処理を行う。

【0095】なお、この基板加熱処理の温度が高すぎると、a-Si層4aの表面に終端した水素が脱離してしまい、温度が低すぎると、a-Si層4aの表面の水素終端を促進することができないため、このため、前述した第1の実施形態と同様に、その温度範囲は摂氏 $250$ 乃至 $350$ 度、より望ましくは、摂氏 $280$ 乃至 $320$ 度とする。

【0096】続いて、図8(a)に示すように、CVD装置内に反応性ガスを導入し、シリコン窒化膜からなるチャンネル保護膜18を不活性層4c上に形成した後、チャンネル領域以外のチャンネル保護膜18をエッチングにより除去する。ここで、不活性層4cは、TFT4のチャンネル領域のみならずソース/ドレイン領域にも形成されている。不活性層4c上にソース/ドレイン電極5a、5bを形成すると、フロントチャンネル側の本来のトランジスタ特性を変化させる恐れがあるため、本実施形態においては、チャンネル保護膜18のエッチングの際に、チャンネル領域以外の不活性層4cをも除去している。

【0097】その後、例えば、CVD法を用いて、 $n^+$ -a-Si層4bを $50 \text{ nm}$ 程度の膜厚で堆積し、 $n^+$ -a-Si層4bをパターンニングして島状のTFT領域を形成する。

【0098】この後、例えば、スパッタ法を用いてクロム膜を $150 \text{ nm}$ 程度の膜厚で堆積した後、このクロム膜をパターンニングして、ドレイン配線5及びドレイン/ソース電極5a、5bを形成する。

【0099】続いて、TFT側基板31を平坦化するために、パッシベーション絶縁膜7を形成する。この場合、上述の第1の実施形態と同様に、本実施形態においても、パッシベーション絶縁膜7の成膜のパワーを小さくし、成膜時にa-Si層4aがダメージを被ったり、あるいは、パッシベーション膜7に残留する応力が大きくなり、ストレスによりバックチャンネル部のリーク電流が大きくなってしまいう問題を回避している。

【0100】パッシベーション絶縁膜7の成膜条件としては、第1の実施形態の場合と同様に、例えば、反応ガ

ス圧力 $200 \text{ Pa}$ 、パワー密度 $0.1 \text{ W/cm}^2$ 、基板温度 $300^\circ\text{C}$ 程度で処理を行い、通常の成膜条件に比べて、パワー密度を $1/5$ 程度に下げている。

【0101】その後、図8(b)に示すように、ソース電極5b上のパッシベーション絶縁膜7を部分的に除去してコンタクト部6を形成した後、ITOその他の透明導電性材料からなる画素電極8を各画素領域及びコンタクト部6に形成する。

【0102】一方、TFT基板31に対向する対向基板40においては、ガラス基板11上にRGB各色のカラーフィルタ12を各画素に対応させて形成し、その上にオーバーコート層13及びITOからなる透明電極14を形成し、両基板の対向面側に配向膜9を塗布して所定の方向に配向処理を施す。

【0103】次いで、両基板をスペーサ10を挟んで貼り合わせ、両基板のギャップに液晶を注入して本実施形態に係るアクティブマトリクス型液晶表示装置が完成する。

【0104】以上のように、本実施形態に係るアクティブマトリクス型液晶表示装置の構造及び製造方法によれば、CVD装置におけるチャンネル保護膜18の成膜の前処理として行われる酸素プラズマ処理（第1のプラズマ処理）、基板加熱処理及び水素プラズマ処理（第2のプラズマ処理）と、低パワーによるパッシベーション絶縁膜7の成膜により、従来例に比べて安定した不活性層4cをa-Si層4aの表面に形成することができ、バックチャンネル部のオフリーク電流を確実に抑制することができる。

【0105】なお、本実施形態においても、第1の実施形態の場合と同様に、第1のプラズマ処理及び第2のプラズマ処理に用いるガスはそれぞれ酸素ガス及び水素ガスに限定されず、第1のプラズマ処理に用いるガスと第2のプラズマ処理に用いるガスとしては、ガス種として、酸素、窒素、炭素、硼素、水素又はヘリウムの任意の組み合わせを選択することができる。

【0106】また、酸素プラズマ処理と基板加熱処理と水素プラズマ処理と低パワーCVD成膜の4つの処理を施す場合に限らず、基板加熱処理を省略したり、酸素プラズマ処理と水素プラズマ処理（又は、酸素プラズマ処理と基板加熱処理と水素プラズマ処理）を組み合わせるだけでも、バックチャンネル部のオフリーク電流を低減することができるのは前記した第1の実施形態の場合と同様である。

【0107】すなわち、本実施形態においても、上述の4つの処理は次のような組み合わせの下に実施することができる。

(1) 第1のプラズマ処理（例えば、酸素プラズマ処理）と第2のプラズマ処理（例えば、水素プラズマ処理）

(2) 第1のプラズマ処理と基板加熱処理と第2のプラ

## ズマ処理

(3) 第1のプラズマ処理と第2のプラズマ処理と低パワーCVD成膜

(4) 酸素プラズマ処理と基板加熱処理と水素プラズマ処理と低パワーCVD成膜

また、上述の第1及び第2の実施形態においては、カラーフィルタ12を対向基板40に形成する構造のアクティブマトリクス基板の製造方法について説明したが、本発明は上記実施形態に限定されるものではなく、TFT側基板30または31にカラーフィルタ12を形成するCOT (Color Filter on TFT) 構造にも適用することができる。

【0108】

【発明の効果】以上説明したように、本発明に係るアクティブマトリクス型液晶表示装置及びその製造方法によればバックチャネル部のオフリーク電流を確実に抑制することができるという効果が得られる。

【0109】その理由は次の通りである。

【0110】例えば、本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の製造方法においては、チャネルエッチングを行った後からパッシベーション絶縁膜の成膜までの間に、第1のプラズマ処理としての酸素プラズマ処理を施し、さらに、第2のプラズマ処理としての水素プラズマ処理も施すことにより、酸素原子が入り込めない領域までa-Si層の表層を不活性化している。

【0111】加えて、所定の温度条件下で基板加熱処理を施すことにより、不活性化処理を進行させている。

【0112】さらに、不活性層の上に成膜するパッシベーション絶縁膜の成膜パワーを所定の値以下に設定することにより、安定した不活性層を形成することができ、パッシベーション絶縁膜の成膜時のダメージや膜の応力を減少させている。

【0113】以上の各過程を実施することにより、安定した不活性層を形成することができ、ひいては、バックチャネル部のオフリーク電流を確実に抑制することが可能になる。

【0114】また、第2の実施形態に係るアクティブマトリクス型液晶表示装置の製造方法においては、チャネル保護膜の成膜装置内において、前処理としての酸素プラズマ処理（第1のプラズマ処理）を施すことにより、a-Si層の表層に不活性層を形成し、その後、所定の温度条件下で基板加熱処理を施して不活性化処理を進行させる。

【0115】加えて、第2のプラズマ処理としての水素プラズマ処理によって、より深い領域、すなわち、第1のプラズマ処理により酸素原子が入り込めなかった領域まで不活性層を形成している。

【0116】これにより、安定した不活性層を形成することができ、ひいては、バックチャネル部のオフリーク

電流を確実に抑制することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の構造を示す断面図である。

【図2】本発明の第1の実施形態に係るアクティブマトリクス基板の構造を示す平面図である。

【図3】本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の製造方法の一部を模式的に示す工程断面図である。

【図4】本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の製造方法の一部を模式的に示す工程断面図である。

【図5】本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の製造方法による効果を示す図である。

【図6】本発明の第2の実施形態に係るアクティブマトリクス型液晶表示装置の構造を示す断面図である。

【図7】本発明の第2の実施形態に係るアクティブマトリクス型液晶表示装置の製造方法の一部を模式的に示す工程断面図である。

【図8】本発明の第2の実施形態に係るアクティブマトリクス型液晶表示装置の製造方法の一部を模式的に示す工程断面図である。

【図9】従来のアクティブマトリクス基板の構造を示す断面図である。

【図10】従来のアクティブマトリクス基板の製造方法の一部を模式的に示す工程断面図である。

【図11】従来の他のアクティブマトリクス基板の構造を示す断面図である。

【符号の説明】

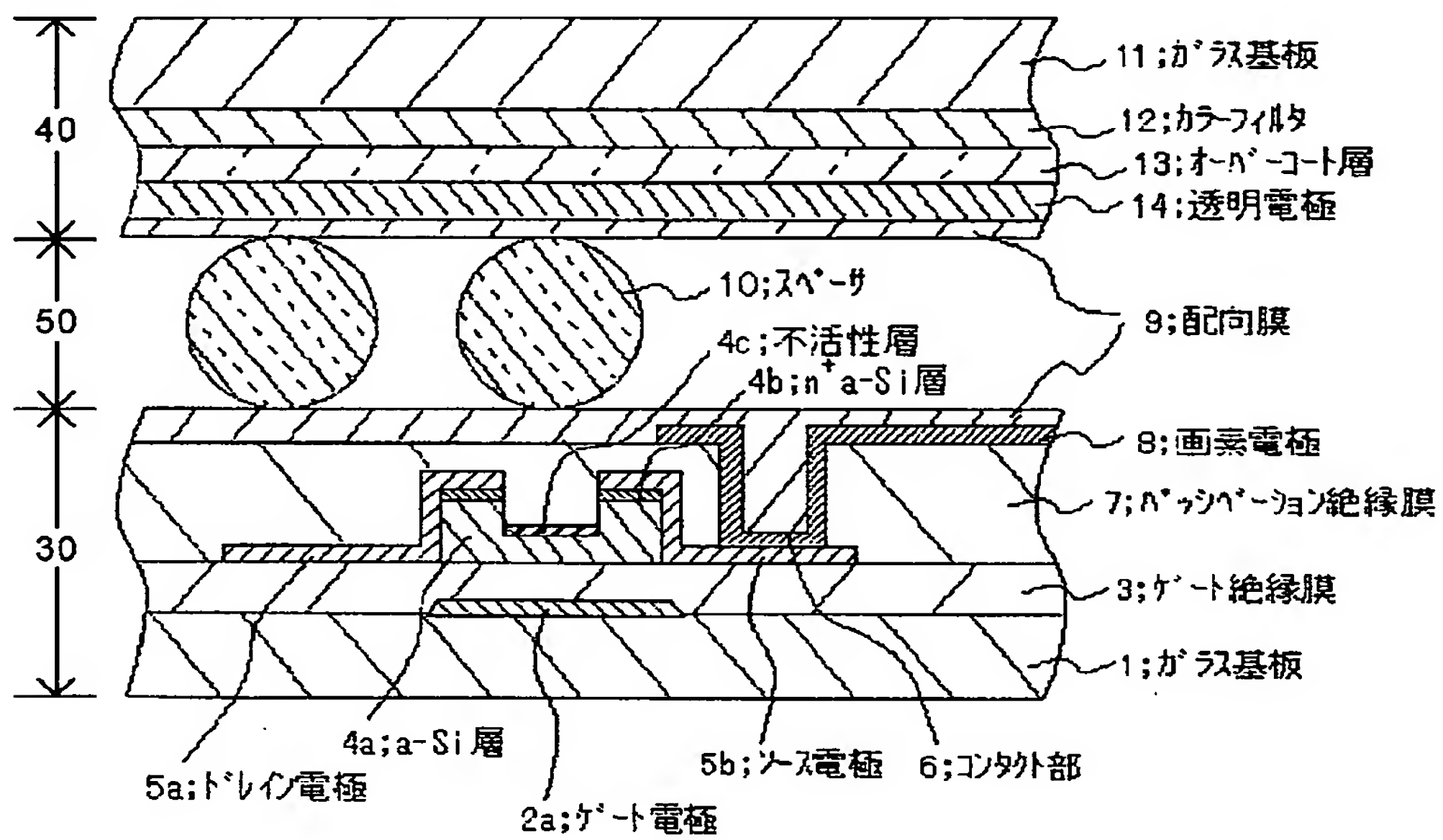
- 1 ガラス基板
- 2 ゲート配線
- 2a ゲート電極
- 3 ゲート絶縁膜
- 4 薄膜トランジスタ
- 4a a-Si層
- 4b n+a-Si層
- 4c 不活性層
- 5 ドレイン配線
- 5a ドレイン電極
- 5b ソース電極
- 6 コンタクト部
- 7 パッシベーション絶縁膜
- 8 画素電極
- 9 配向膜
- 10 スペース
- 11 ガラス基板
- 12 カラーフィルタ
- 13 オーバーコート層
- 14 透明電極



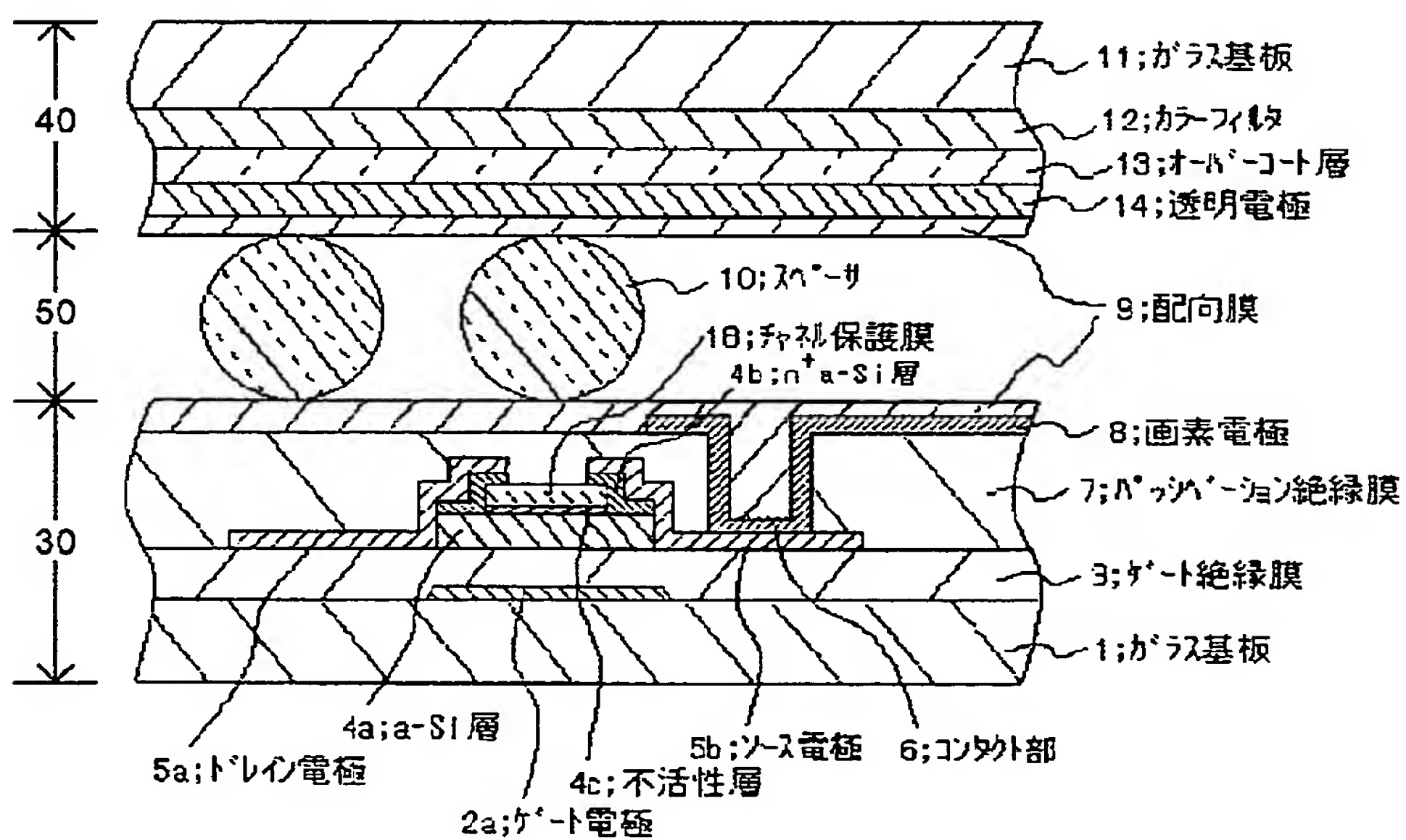
15 レジストパターン  
16 酸素プラズマ  
17 水素プラズマ  
18 チャネル保護膜

30、31 TFT側基板  
40 対向基板  
50 液晶層

【図1】

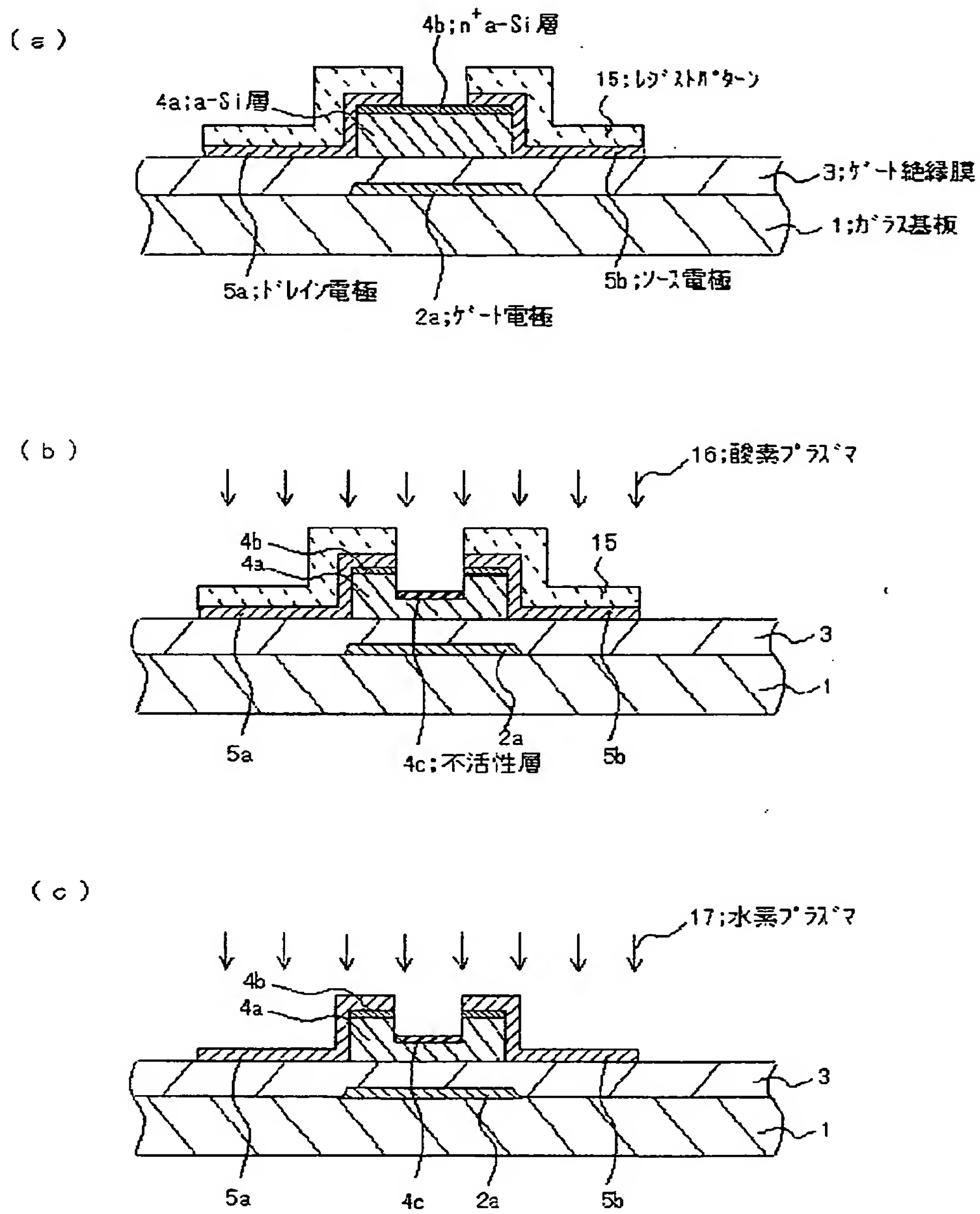


【図6】





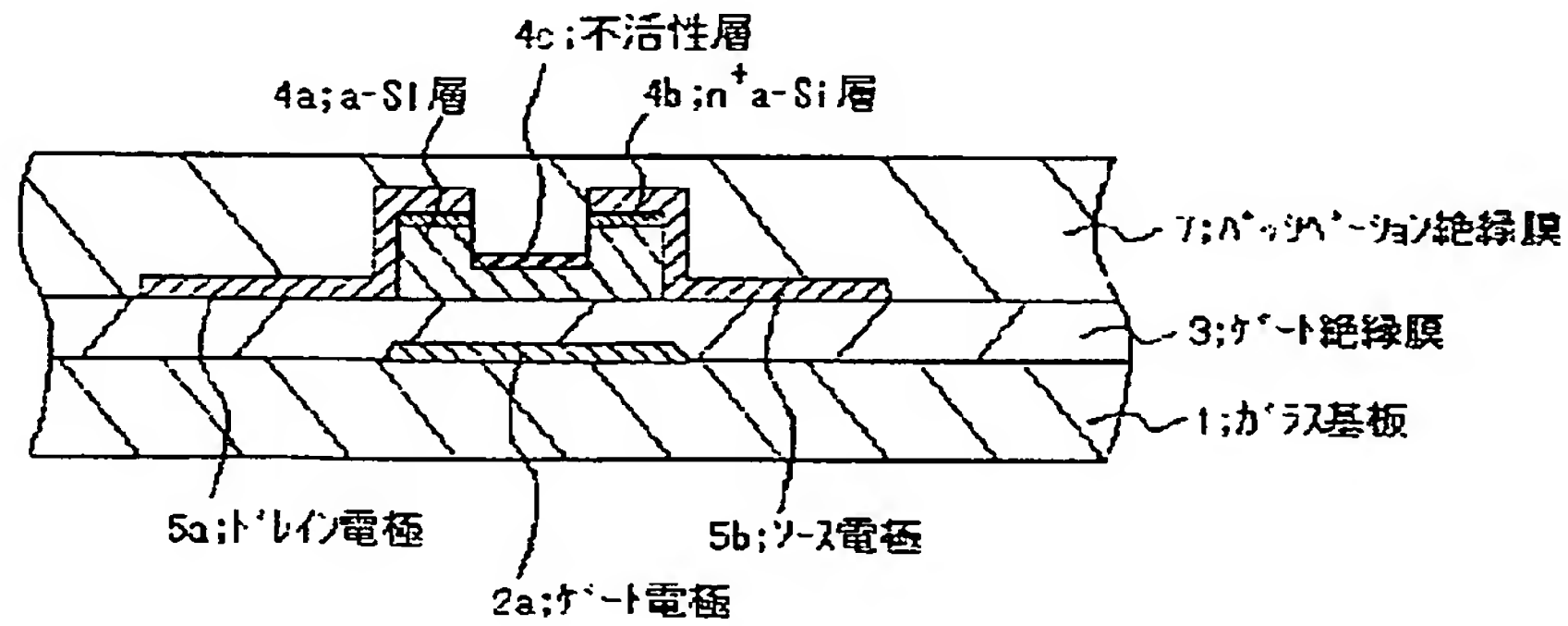
【図3】



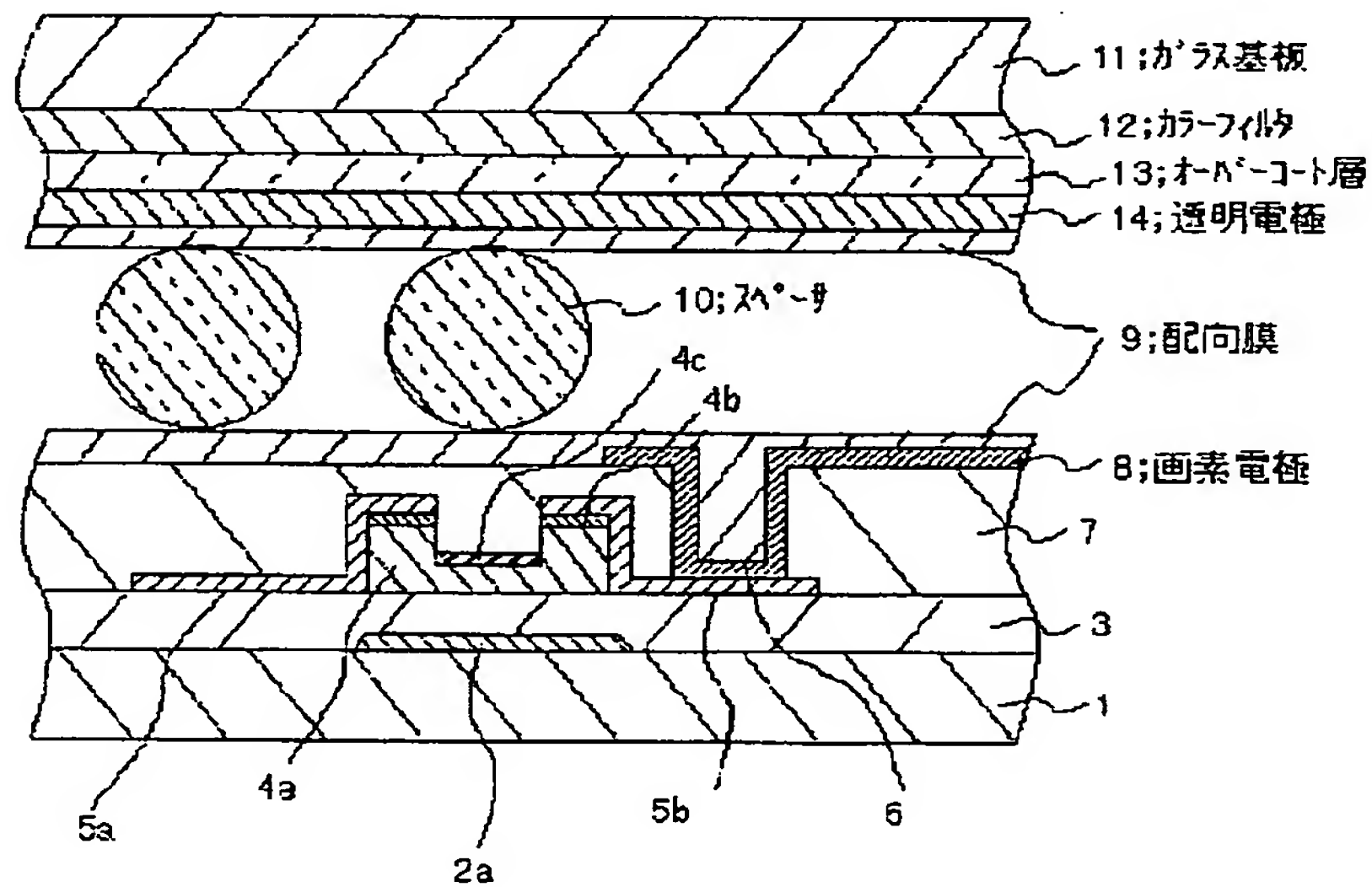


【図4】

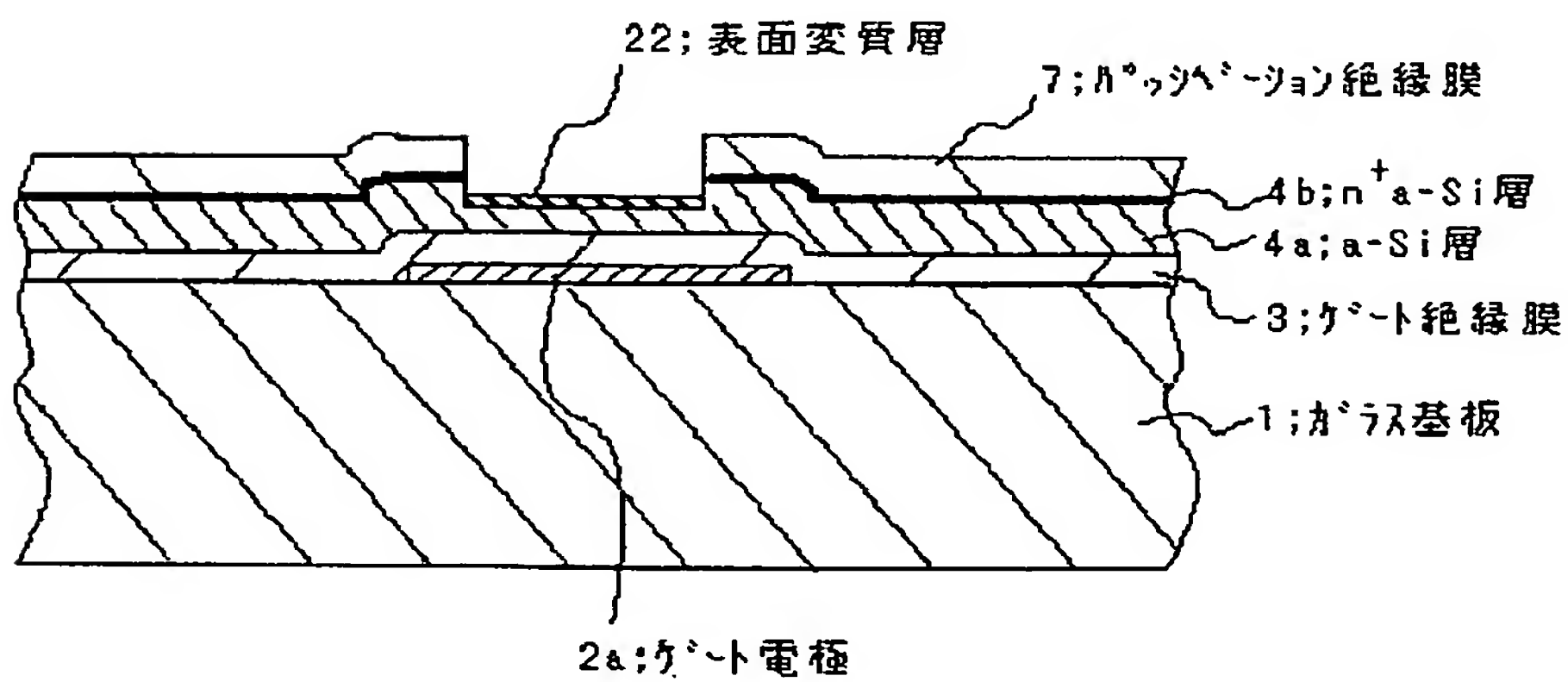
(a)



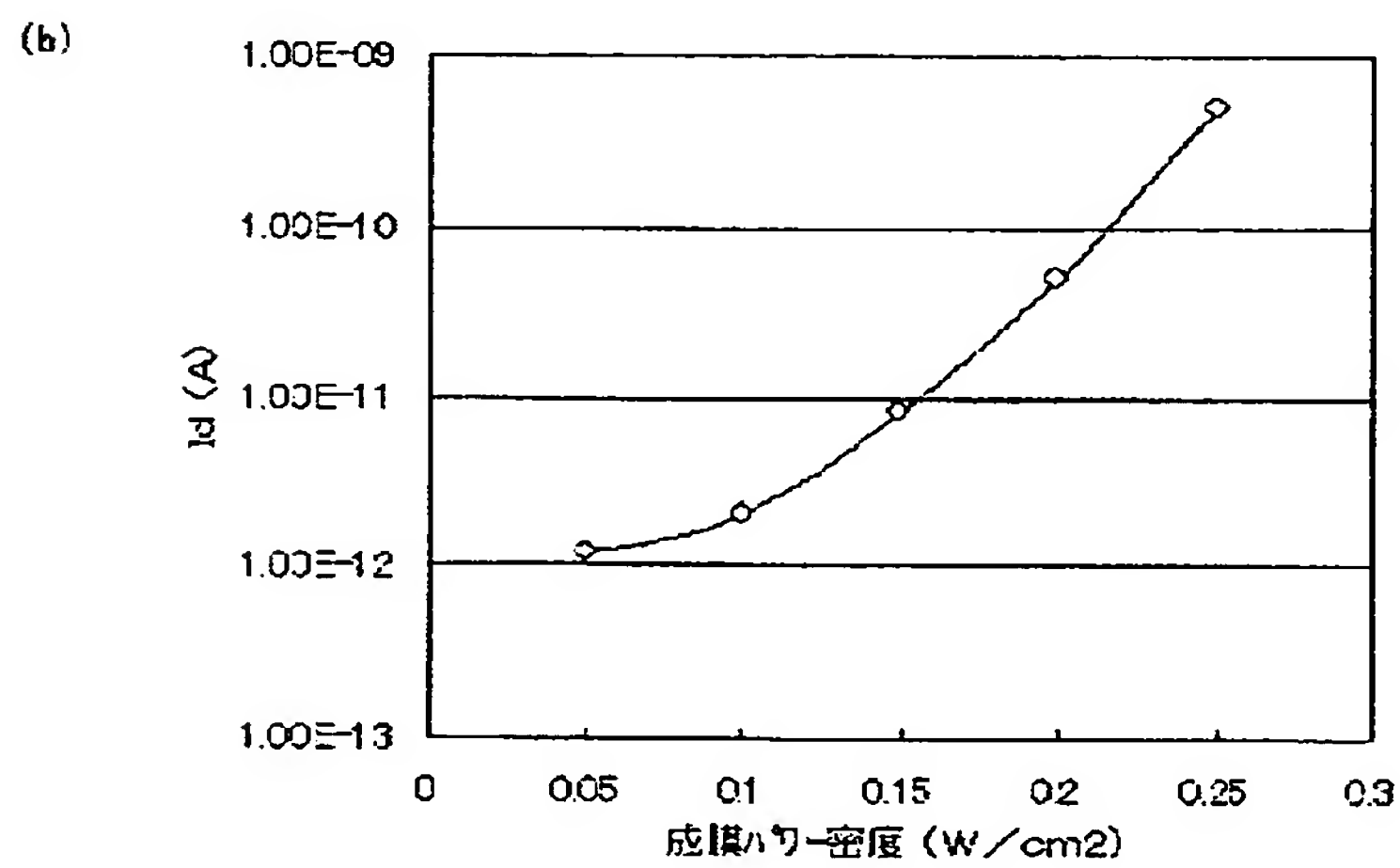
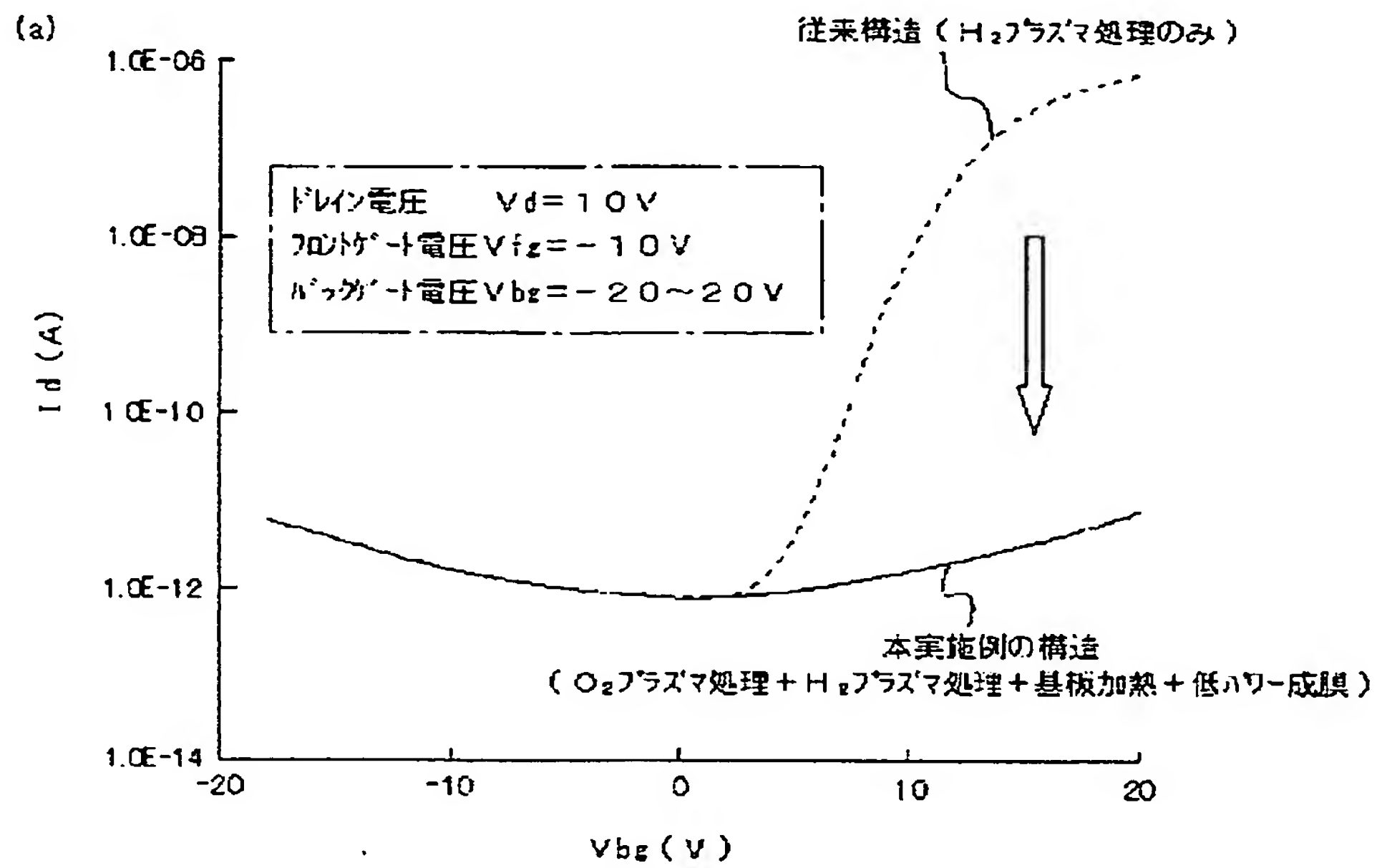
(b)



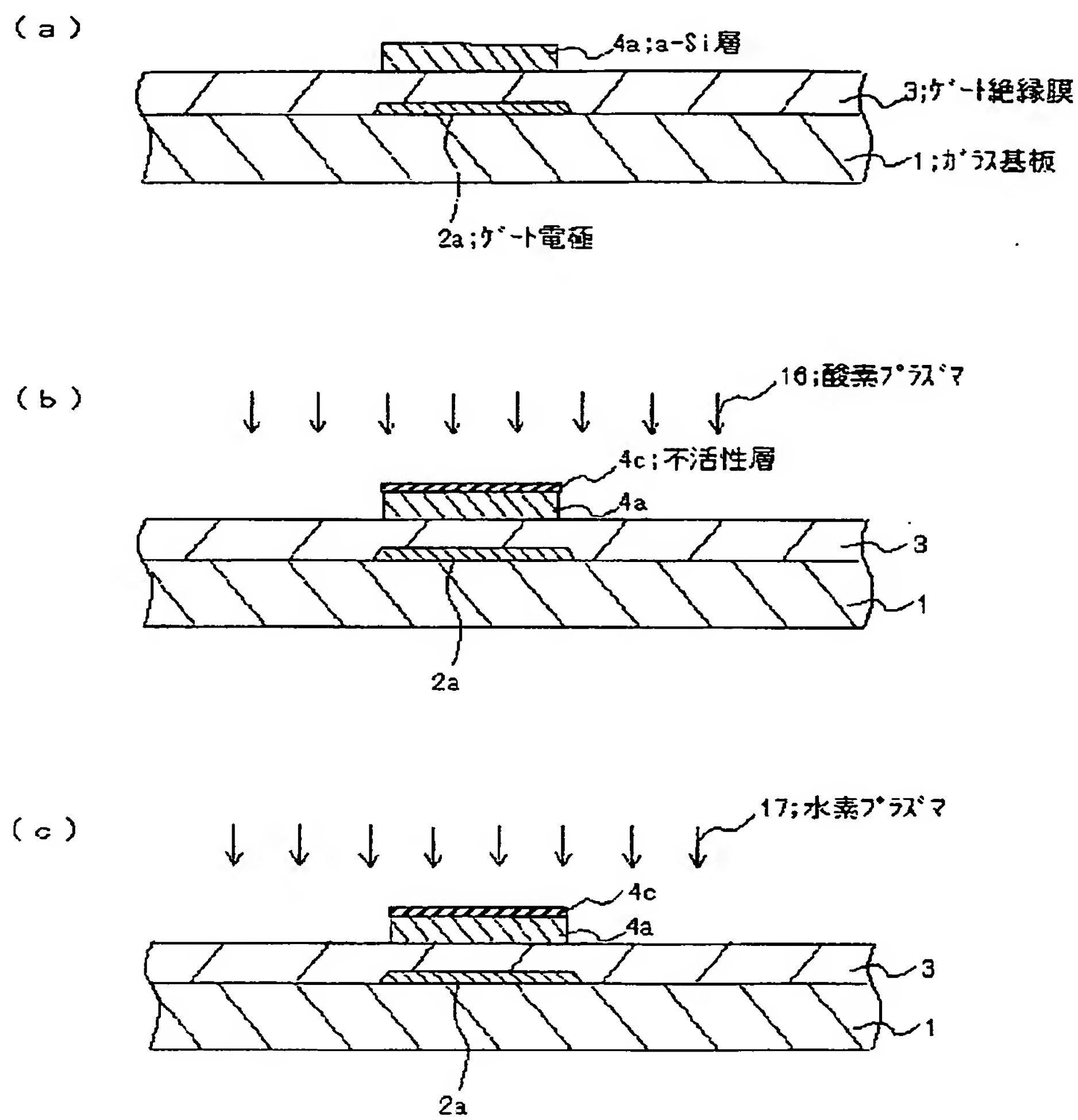
【図11】



【図5】

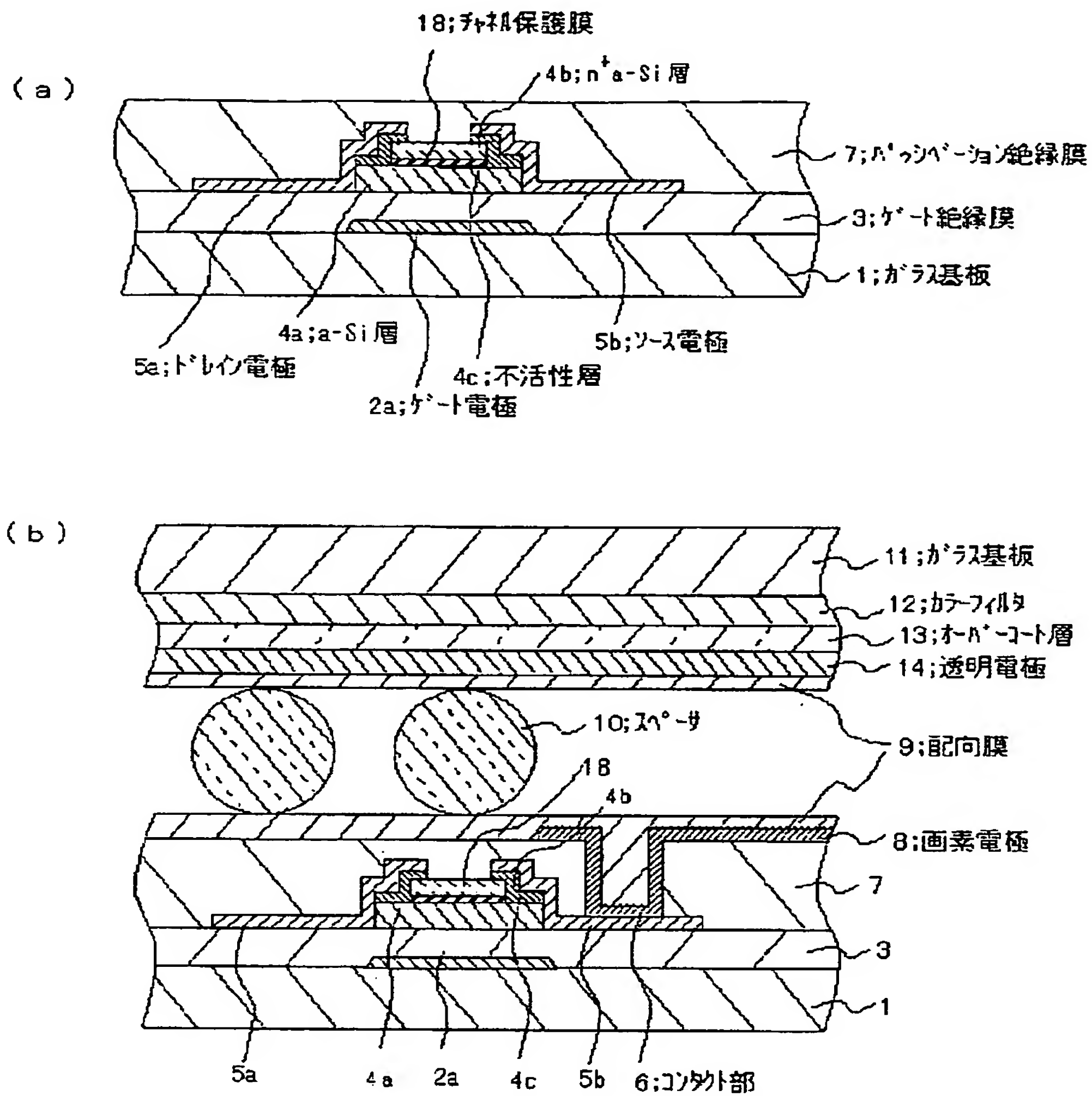


【図7】

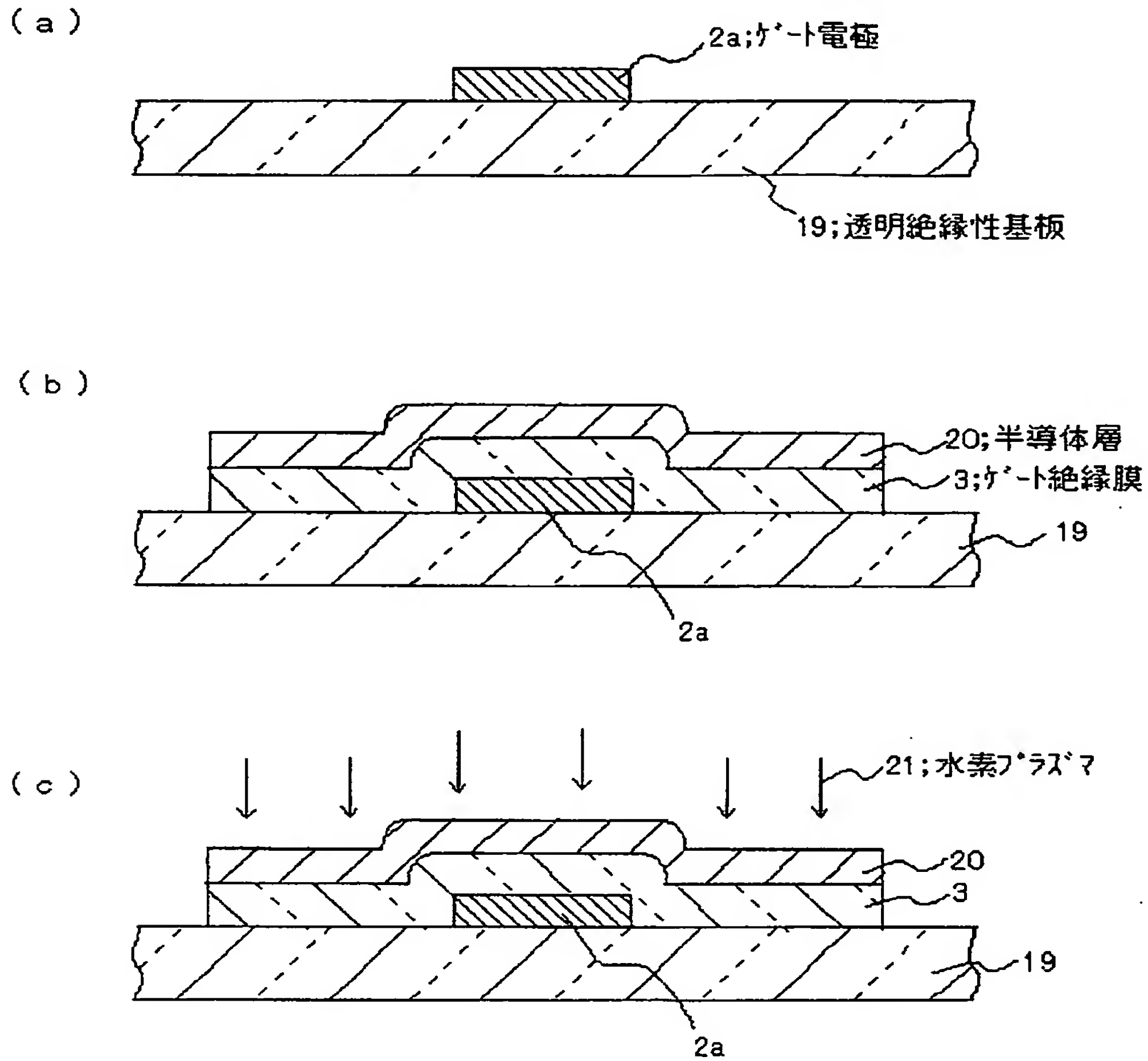




【図8】



【図10】



フロントページの続き

(72) 発明者 井樋田 悟史  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 船木 重浩  
秋田県秋田市御所野下堤三丁目1番1号  
秋田日本電気株式会社内

(72) 発明者 小山 学  
秋田県秋田市御所野下堤三丁目1番1号  
秋田日本電気株式会社内

(72) 発明者 畠澤 良和  
秋田県秋田市御所野下堤三丁目1番1号  
秋田日本電気株式会社内

Fターム(参考) 5F058 BA20 BE10 BF02 BJ03  
5F110 AA06 BB01 CC07 DD02 EE04  
EE44 FF03 FF29 GG02 GG15  
GG24 GG44 GG58 HK04 HK09  
HK16 HK21 HK25 HK33 HK34  
HK42 HL07 NN04 NN12 NN24  
NN35 NN39 QQ25

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**